

PATENT ABSTRACTS OF JAPAN

1

(11)Publication number : 61-204758

(43)Date of publication of application : 10.09.1986

(51)Int.Cl.

G06F 15/16

G06F 13/38

(21)Application number : 60-044852

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.03.1985

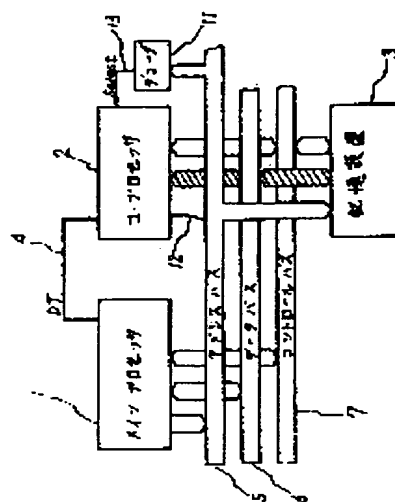
(72)Inventor : TAKATANI SOICHI
MIYAZAKI YOSHIHIRO

(54) CO-PROCESSOR CONTROLLING SYSTEM

(57)Abstract:

PURPOSE: To execute a linkage at a high speed by outputting the control signal of the time when inputting a data to a co-processor from a main processor, in a bus cycle for reading out an operation operand onto a data bus from a storage device.

CONSTITUTION: When a main processor 1 starts a co-processor 2, in case when an operand data of its operation is in a storage device 3, in a bus cycle for reading out the operand data onto a data bus 6 from the storage device 3 by addressing of the main processor 1, a control signal DT to the co-processor from the main processor is made active, and the operand data on its data bus 6 is inputted directly to the co-processor 2. Also, even when storing an operation result operand into the storage device 3, it is written directly in the storage device 3 from the co-processor 2 by the control signal DT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭61-204758

⑤ Int. Cl.⁴G 06 F 15/16
13/38

識別記号

庁内整理番号

A-2116-5B
7165-5B

④ 公開 昭和61年(1986)9月10日

審査請求 未請求 発明の数 2 (全9頁)

⑭ 発明の名称 コ・プロセッサ制御方式

⑮ 特 願 昭60-44852

⑯ 出 願 昭60(1985)3月8日

⑰ 発 明 者 高 谷 壮 一 日立市大みか町5丁目2番1号 株式会社日立製作所大み
か工場内⑰ 発 明 者 宮 崎 義 弘 日立市大みか町5丁目2番1号 株式会社日立製作所大み
か工場内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

発明の名称 コ・プロセッサ制御方式

特許請求の範囲

1. メインプロセッサに基本演算機能を持たせ、特殊演算機能をメインプロセッサの命令群を拡張する形でサポートするコ・プロセッサを具備するデータ処理装置において、メインプロセッサは、コ・プロセッサに演算を実行させる特殊命令を識別する手段と、特殊命令の演算のオペランドの実行アドレスを計算する手段を有し、該演算オペランドを記憶装置より読み出す際、メインプロセッサのアドレッシングにより記憶装置から当該演算オペランドをデータバス上に読み出すバスサイクルにおいて、メインプロセッサからコ・プロセッサへデータ取込みの制御信号を出力し、コ・プロセッサはこの制御信号を受けてデータバス上のオペランドデータを取込むようにしたことを特徴とするコ・プロセッサ制御方式。

2. 特許請求の範囲第1項記載のコ・プロセッサは、メインプロセッサからのコマンドにより、記

憶装置からのオペランド待ち状態となる手段を有し、オペランド待ち状態において、メインプロセッサからデータ取込みの制御信号を受けた場合、記憶装置からのデータ出力応答によりデータバス上のオペランドデータを取込むようにしたことを特徴とするコ・プロセッサ制御方式。

3. メインプロセッサに基本演算機能を持たせ、特殊演算機能をメインプロセッサの命令群を拡張する形でサポートするコ・プロセッサを具備するデータ処理装置において、メインプロセッサは、コ・プロセッサ内レジスタの演算結果を記憶装置に格納する特殊命令を識別する手段と、コ・プロセッサに対して演算結果のデータバスへの出力を待ち状態とさせるコマンドを送出する手段を有し、コ・プロセッサは該コマンドおよび記憶装置への書き込み制御信号をメインプロセッサから受信して、演算結果をデータバス上に出力し、記憶装置へ転送するようにしたことを特徴とするコ・プロセッサ制御方式。

発明の詳細な説明

〔発明の利用分野〕

本発明はメイン・プロセッサとコ・プロセッサのインターフェイスに係り、特にコ・プロセッサ命令を実行する場合に、記憶装置からのオペランド・フェッチ、及び、記憶装置への演算結果格納を高速に行なうのに好適な制御方式に関する。

〔発明の背景〕

メイン・プロセッサに基本演算処理機能を持たせ、システムの必要に応じて、特殊演算機能をメイン・プロセッサの命令群を拡張する形でサポートするコ・プロセッサを具備することで達成する構成が増えているが、このインターフェイスにおいては、モトローラ68020 ユーザーズマニュアル (MOTOROLA 68020 Users Manual) (以下公知例1と称す)に記載のように、コプロセッサ用オペランド Read 時、記憶装置→メインプロセッサ、メインプロセッサ→コプロセッサと2回のバスサイクルを必要とする方式では、メイン・プロセッサとコ・プロセッサのリンケージ・タイムが大きくなってしまうという欠点がある。

のヘードは約2倍に増加してしまう。

〔発明の目的〕

本発明の目的はメイン・プロセッサがコ・プロセッサを起動する場合に、記憶装置とのデータ転送が必要となすのリンケージを高速に行なう方式を提供することにある。

〔発明の概要〕

本発明は、第1図(a)においてメインプロセッサ1がコ・プロセッサ2を起動するとき、その演算のオペランド・データが記憶装置3にある場合に、メイン・プロセッサ1のアドレッシングにより記憶装置3からオペランド・データをデータ・バス6上に読み出すバスサイクルにおいて、メイン・プロセッサからコ・プロセッサへの制御信号DTをアクティブとし、そのデータ・バス6上のオペランド・データをコ・プロセッサ2に直接入力することを特徴とする。そのプロトコルを第1図(b)に示す。また、演算結果オペランドの記憶装置3への格納も、制御信号DTにより、第1図(c)のプロトコルにてコ・プロセッサ2より記憶装置3へ

記憶装置へのアクセス・タイムか、メインプロセッサ〜コプロセッサ間転送タイムに対し十分大きければコ・プロセッサとのリンケージ・タイムはあまり問題にならないが、メモリのキャッシュ化、メモリ高速化に伴い、2回のバスサイクルを必要とする方式では、高速化に限界がある。

また、インテル アイイービーエックス86 レファレンス マニュアル (INTEL iAPX86 REFERENCE MANUAL) (以下公知例2と称す)に記載のコ・プロセッサの場合、コ・プロセッサがバスを占有するバス・マスタとなり、記憶装置からのデータ転送を行なっている。この方式を用いると1回のバスサイクルでデータ転送が可能ではあるが、命令デコーダのハードウェアや実効アドレスの計算機構のハードウェア等のメイン・プロセッサと共用できるハードウェアもコ・プロセッサに具備する必要がある、さらに、バス・マスタとなるためのバス・インターフェイス・ハードウェアが必要となる欠点がある。公知例1のような命令アーキテクチャの場合、コプロセッサ

直接書き込むことを特徴とする。

〔発明の実施例〕

以下、本発明の一実施例を説明する。第2図はシステム構成であり、命令の解釈、アドレス計算及び基本演算を実行するメインプロセッサ(以下 main Processor と称す)1、浮動小数点演算を実行するコ・プロセッサ(以下 Co-Processor と称す)2、Main-Processor 1 及び Co-Processor 2 のマイクロ命令及び汎用データを格納する記憶装置(以下 Memory と称す)3、これらを相互に接続するアドレスバス(Address Bus)5、データバス(Data Bus)6、コントロールバス(Control Bus)7、バス占有制御を行なうバスコントローラ(Bus Controller; BCと略す)8、I/O10、I/O10とMemory3のデータ転送を行なうI/Oプロセッサ(Processor)9、Main-Processor 1 から Co-Processor 2 への専用制御線DT4、アドレスをデコードして Co-Processor 2 のセレクト信号を生成するデコー

ダ (Decoder) 11より構成される。Main-Processor 1及びI/O-Processor 9はバス・マスタとなるが、Co-Processor 2, Memory 3及びBC 8はスレーブ動作のみ行なう。またDT 4は、Memory 3とCo-Processor 2とのデータ転送をMain-Processor 1が行なわせるための制御線であり後述される。

Main-Processor 1の構成を第3図に示す。読み出しデータレジスタ (Read Data Register) 101 (RDRと略す) はData Bus 6からの入力データ・レジスタであり、Memory 3のマクロ命令及び演算データが入力される。インストラクション デコーダ (Instruction Decoder) 103は、マクロ命令をRDR 101より受け取り、マイクロ・プログラムの先頭アドレスを生成する。コントローラ (Controller) 104 (CONTと略す) は、命令デコーダ (INSDEC) 103より生成されるマイクロ・プログラムの先頭アドレスを受け取り、マイクロ・プログラム方式にて内部制御信号及び

略す) はData Bus 6への出力用レジスタである。

CONT 104の構成を第4図に示す。セレクト (Select) 121 (SELと略す) はINSDEC 103より入力されたマイクロプログラムの先頭アドレス、現実行マイクロ命令によるジャンプ・アドレス及び現実行マイクロの次のアドレスのうち1つを選択する。コントロール ストレージ アドレス (Control Storage Address) 122はSEL 121の出力アドレスをラッチしておくためのレジスタであり、これによりControl Storage 123 (CSと略称する) が読み出される。マイクロ インストラクション レジスタ (Micro Instruction Register) 124 (MIRと略す) はCS 123から読み出されたマイクロ命令をラッチするためのレジスタであり、マイクロ命令はジャンプ・アドレス、イミディエイトデータ (IMと略す) を含む。デコーダ (Decoder) 125はMIR 124及び外部アクセス応答により、制御信号を生成する。ダイレクト トランスファ フラグ (Direct Transfer

Control Bus 7に出力する外部制御信号及びCo-Processor 2へのデータ転送の制御信号DT 4を生成する。ウェイト コントローラ (Wait Controller) 102 (WCTLと略す) は、Main-Processor 1の外部アクセスに対する応答待ち制御機構であり、アクセスの終了をCONT 104に報告する。ALU 105は基本論理演算及び算術演算を行なう。レジスタ (Register) 108 (Rと略す) は汎用レジスタでマクロ命令で指定可能なレジスタである。ワーク レジスタ (Work Register) 109 (WKと略す) は、マクロ命令を実行するための一時的な記憶に使用するレジスタである。プログラム カウンタ (Program Counter) 110 (PCと略す) はマクロ命令をフェッチするためのポインタである。メモリ アドレス レジスタ (Memory Address Register) 107 (MARと略す) は、Address Bus 5への出力用レジスタである。ライト データ レジスタ (Write Data Register) 106 (WDRと

Flag) 127 (DTFと略す) はマイクロ命令により、Memory 3とCo-Processor 2とのデータ転送を直接行なうサイクルに入るときセットされる。DTF 127出力はDT 4を通して、Co-Processor 2に入力される。コントロール ストレージ アドレス インクリメンタ (Control Storage Address Incrementer) 126 (INCと略す) は現実行アドレスを次のアドレスに更新するための演算器である。

次にCo-Processor 2の構成を第5図に示す。コマンド レジスタ (Command Register) 201 (CMDRと略す) はMain-Processor 1から5の演算命令を受けつける入力レジスタでデコーダ (Decoder) 208の信号により、入力される。オペランド レジスタ (Operand Register) 205 (OPDRと略す) は演算オペランドの入力レジスタであり、Decoder 208の出力信号216または信号214の論理和がアクティブのとき入力される。コントローラ (Controller) 204 (CCONTと略す) は、

CMDR 201より渡される信号203により内部制御信号及びControl Bus 7に出力する外部制御信号及びオペランド入力待ちの状態を表わす信号212とオペランド出力待ちの状態を表わす信号213を生成する。信号212がアクティブかつ信号DT4がアクティブでControl Bus 7上のリード・アクセスまたはライト・アクセスの応答信号Xack 7' がアクティブになつたときOPDR 205はData Bus 6上のデータを入力する。また信号213がアクティブかつ信号DT4がアクティブのとき、Write Data Register 206 (CWDRと略す)のデータがData Bus 6上に出力される。また、Decoder 208の出力信号217によつてもCWDR 206はデータを出力する。CALU 207は浮動小数点演算を行なうための演算器である。Co-Processor Register 209 (CRと略す)はマクロ命令によりオペランドとして指定できる汎用レジスタである。コ・プロセッサ ワーク レジスタ (Co-Processor Work Register) 210

付を持たせる (wait)。

第7図はデータの転送モードの識別とそのモードにおける信号DT4のON, OFFを示すものであり、コ・プロセッサ命令のオペランド転送のみ、DT4をONに制御していることを示す。本制御は全てメインプロセッサのマイクロプログラムが行うが、詳細手順については第8図に記述される。

以上のようなハードウェアにて、Main-Processor 1がメモリ間接アドレッシングのオペランドの受け渡しを持つSIN関数演算のコ・プロセッサ命令をフエツテした場合のマイクロプログラムを第8図に示す。①はMIR 124のIMをMAR 107にセットするものであり、IMはCo-Processor 2のCMDR 201のアドレスである。②ではMIR 124のIMをWDR 106にセットし、Control Bus 7上のWrite信号をONする。③ではステップ②のライト・アクセスに対するControl Bus 7上の応答信号Xack 7' の受け付け後、実効アドレスの計算デ

はCMDR 201に入力されるコマンドを実行中、一時的にデータの記憶を行なうためのレジスタである。

C CONT 204の構成を第6図に示す。

C CONT 204はマイクロ・プログラム方式のコントローラであり、CMDR 201からのコマンドは、このマイクロ・プログラムの先頭アドレスに対応している。SEL 221, CASAR 222, CS 223, MIR 224, INC 226は、第4図のSEL 121, CSAR 122, CS 123, MIR 124, INC 126にそれぞれ対応し、同等の機能を持つものである。Decoder 225は、MIR 224の出力及び応答信号Xack 7'により内部制御信号及びControl Bus 7の出力を生成すると共にオペランド入力待ちフラグ227 (OTRと称す)とオペランド出力待ちフラグ228 (OTWと称す)とコマンド実行中を表わすフラグ229 (BUSYと称す)のセット及びクリアの制御も行なう。BUSY 229がONのときコマンドの書込応答を出さず、次のコマンドの受

入のアドレスをMAR 107にセットし、Control Bus 7上のRead 信号をONする。④ではステップ③のリード・アクセスの応答信号Xack 7' の受け付け後、RDR 101とR108の1つR0とをALU 105により加算しMAR 107にセットした後Read 信号をONし、DTF 127をセットする。⑤ではステップ④での応答信号Xack 7' を受け付け後DTF 127をクリアする。

次に、Co-Processor 2のマイクロ・プログラムを第9図に示す。本プログラムは、メインプロセッサの前記ステップ②により起動される。①ではBUSY 229とOTR 227がセットされ、DT4及びXack 応答信号7' がアクティブになることによりOPDR 205にData Bus 6上のデータがOPDR 205に入力されると共にOTR 227はクリアされ、OPDR 205の演算オペランドはCWK 210の1つCWK。へセットされる。②ではCWK。のSIN演算が行なわれ、結果がCWK₁にセットされる。③ではCW₁のデ

ータの正規化が行われ、CR209の1つCR。
へセットされ、BUSY229がクリアされる。

以上のMain-Processor1及びCo-
Processor 2のマイクロ・プログラムにより1
つのマクロ命令が実行され、結果がCo-
Processor 2のCR209の1つにセットされ
る。

前記演算結果をCR。からMemory 3へ転送す
るマクロ命令 (STORE 命令) に対するMain-
Processor 1のマイクロプログラムを第10図
に示す。①、②によりコマンドがCo-
Processor 2に入力され、③ではその応答を受
け付け後、演算結果オペランドの奨効アドレ
スR。がMAR107にセットされ、Write 信号
をONし、DTF127がセットされる。④では
ステップ⑤のアクセスの応答Xack7'を受け付
け後、DTF127をクリアする。

このSTORE 命令に対応するCo-Processor
2のマイクロ・プログラムを第11図に示す。①
ではBUSY229をセットし、CR。のデータを

CWDR206にセットし、OTW228をセッ
トする。DT4がアクティブでCWDR206のデー
タは、Data Bus 6に出力され、Xack7'の応
答信号がアクティブになることで、OTW228
をクリアする。②ではBUSY229をクリアする。

第12図は、第8図、第9図の制御フローに
対応するタイムチャートであり、(a)は従来方式 (公
知例1) で(b)は本方式によるタイムチャートであ
る。本発明方式では従来方式の2倍の速度でオペ
ランド入力可能であり、コマンド入力及びmain
-Processor 1の奨効アドレス計算のためのデ
ータ・フェッチを含めても、1.3倍である。更に、
フローティング演算等でもつと多く使用される
レジスタ間搬送アドレッシングモードのメモリオペ
ランド、かつ、倍精度演算においては従来方式で
は、コマンド転送+(メモリ読出し+オペランド
転送)×2で5回のバスサイクル要に対し、本発
明ではコマンド転送+オペランド転送×2で3回
のバスサイクルで済み、1.6倍の性能向上となる。

第13図は第10図、第11図の制御フローに

対応するタイムチャートであり、(a)は従来方式
(公知例1)のタイムチャート、(b)は本発明方式
によるタイムチャートである。第12図と同様、
本発明方式では従来方式の2倍の速度でオペラ
ンド出力可能である。

【発明の効果】

以上のように、本発明によれば、コプロセッサ
に、奨効アドレス計算機構、バスマスタ用インタ
ーフェイスハードウェア等を追加することなく、
記憶装置からコ・プロセッサへのオペランド・デ
ータ転送及びコ・プロセッサから記憶装置への演
算結果データ転送を、従来方式の約2倍の速度に
せしめることができると共に、バスの使用を1/2
に低減することが可能である。

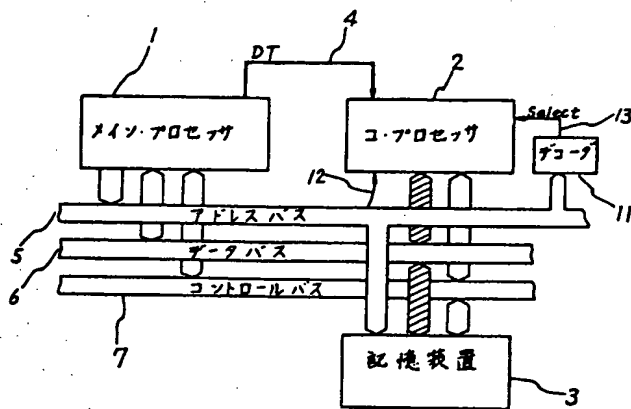
図面の簡単な説明

第1図は本発明の構成とデータ受渡しのプロト
コルを示す図、第2図は本発明の実施例のハード
ウェア構成図、第3図は本発明のMain-
Processorのハードウェア構成図、第4図は本
発明のMain-ProcessorのControllerのハー

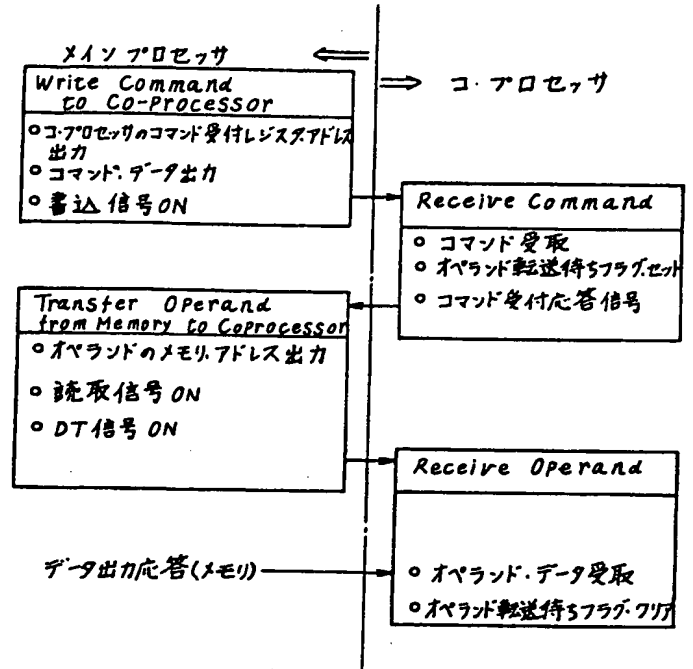
ドウェア構成図、第5図は本発明のCo-
Processorのハードウェア構成図、第6図は本
発明のCo-ProcessorのControllerのハー
ドウェア構成図、第7図は本発明のMain-
ProcessorからCo-Processorへの制御信号
の説明図、第8図は本発明のMain-Processor
のCo-Processorの起動及びオペランド入力の
制御フローの説明図、第9図は本発明のCo-
Processorのオペランド受取の制御フローの説
明図、第10図は本発明のMain-Processorの
Co-Processorの起動及びオペランドのメモリ
格納の制御フローの説明図、第11図は本発明の
Co-Processorのオペランド出力の制御フロー
の説明図、第12図はCo-Processorへのオペ
ランド入力の従来方式と本発明方式の性能比較の
説明図、第13図はCo-Processorからメモリ
へのオペランド格納の従来方式と本発明方式の性
能比較の説明図。

代理人 弁理士 小川勝男

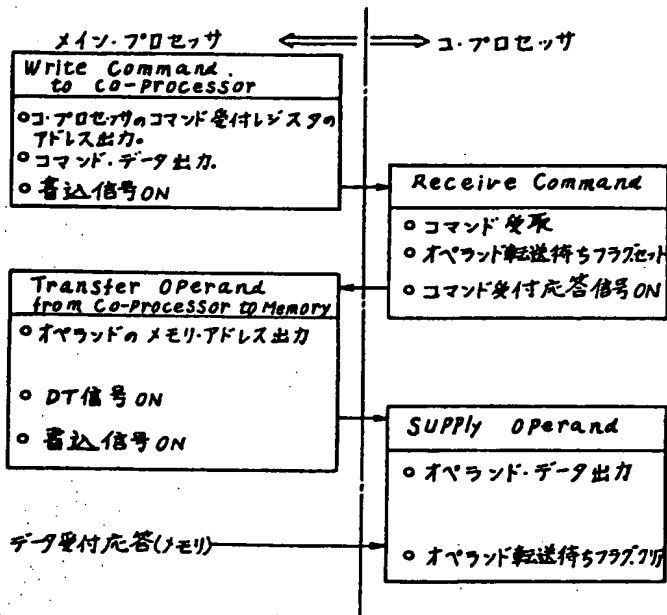
第1図
(a)



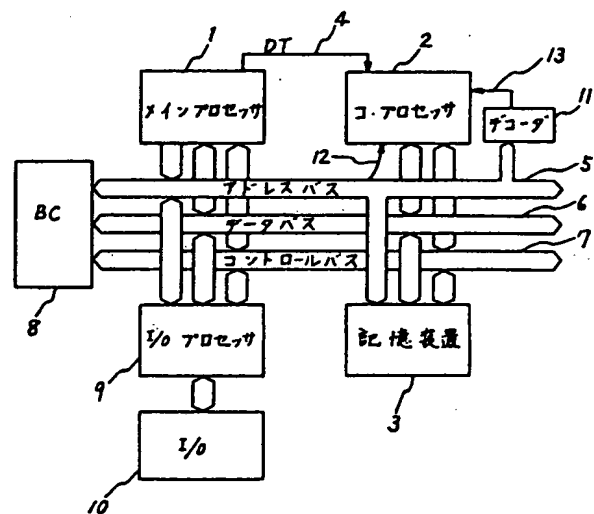
第1図
(b)



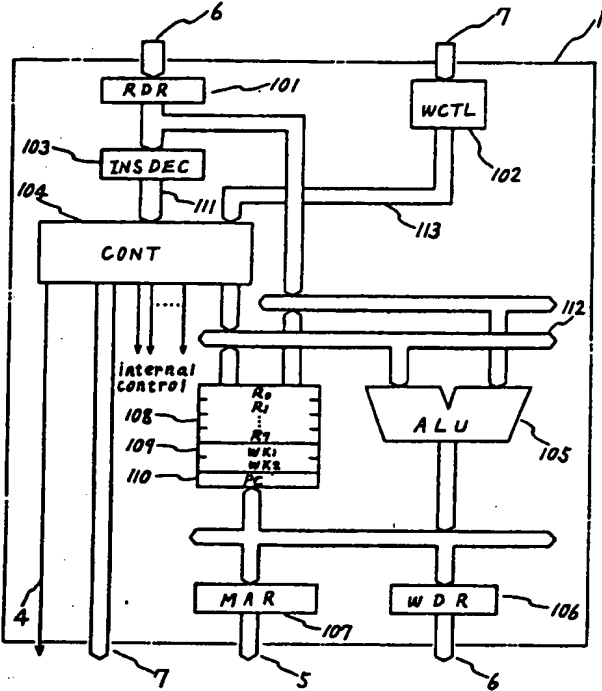
第1図
(c)



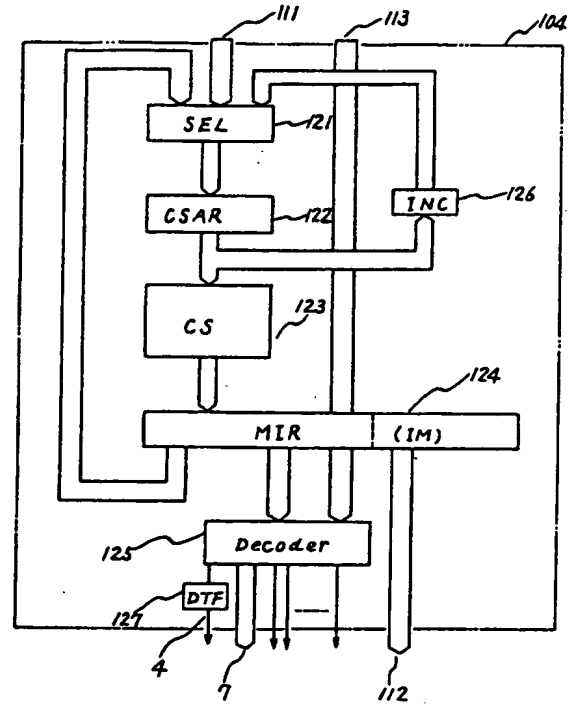
第2図



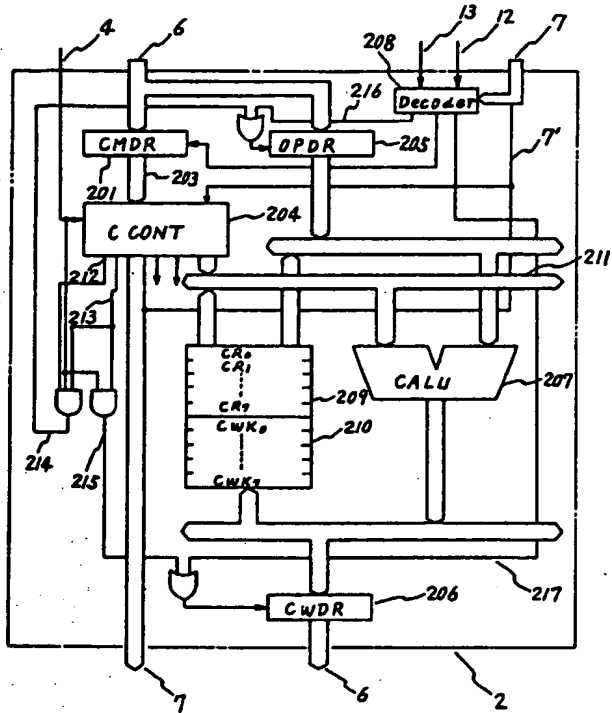
第 3. 図



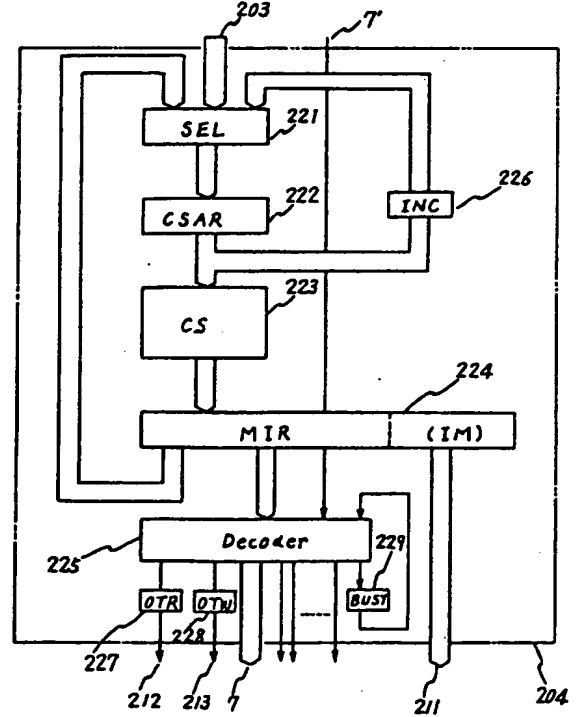
第 4 回



第 5 図



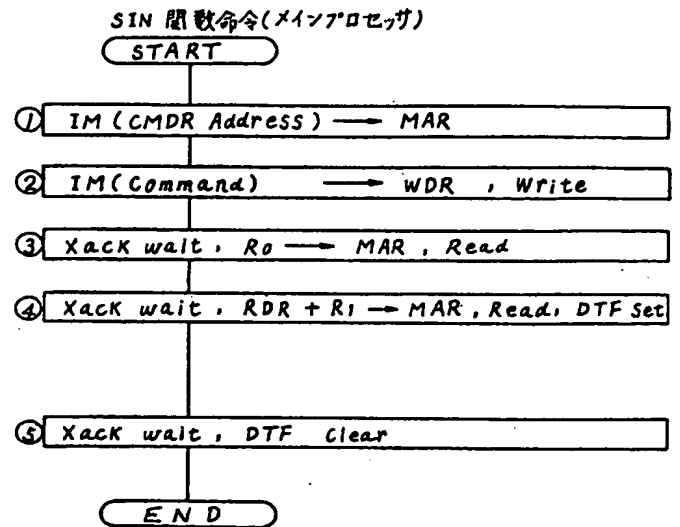
第 6 図



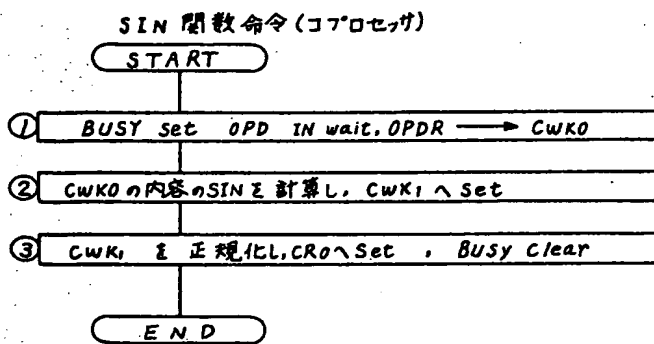
第7図

データ転送モード		信号DT4
マイロ命令のフェッチ		OFF
コ・プロセッサ命令 以外の命令	実効アドレス計算データの転送	OFF
	オペランドデータの転送	OFF
コ・プロセッサ 命令	実効アドレス計算データの転送	OFF
	オペランドデータの転送	ON

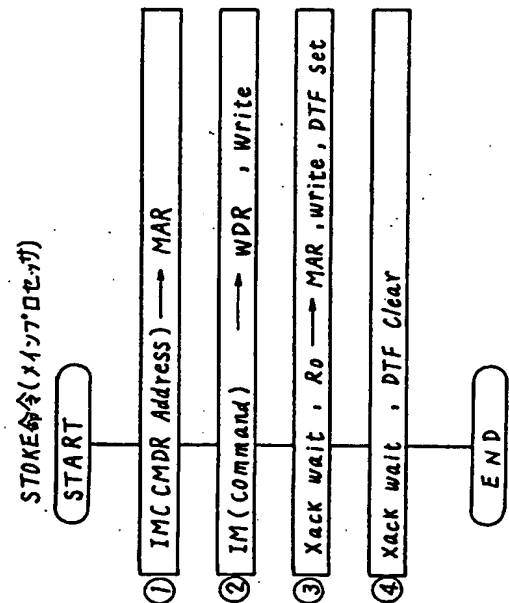
第8図



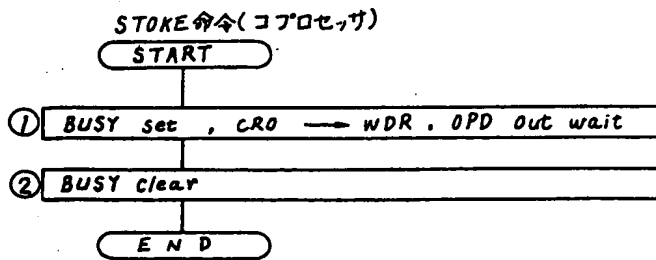
第9図



第10図

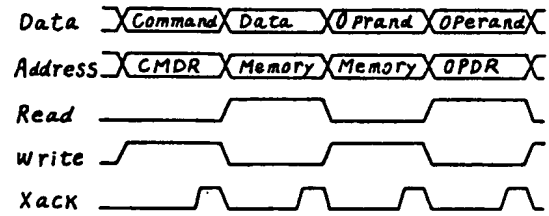


第 11 図

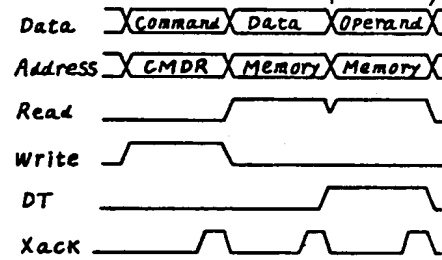


第 12 図

(a)

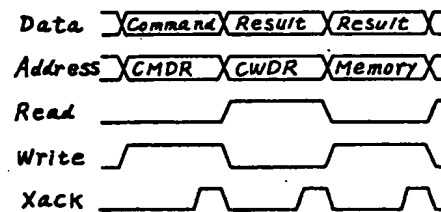


(b)



第 13 図

(a)



(b)

